

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-064082

**(43)Date of publication of application : 12.03.1993**

(51)Int.Cl.

H04N 5/335

(21)Application number : 03-218863

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.08.1991

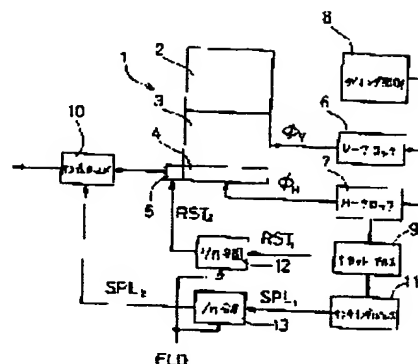
(72)Inventor : NAKAKUKI TOSHIKAKI  
WATANABE TORU

(54) SOLID-STATE IMAGE PICKUP DEVICE

**(57)Abstract:**

**PURPOSE:** To obtain a sufficient output level from an imaging device even if the brightness of an object decreases by mixing plural information charges which occur at each picture element of an imaging device so as to increase the information charge quantity.

**CONSTITUTION:** The cycle of a reset pulse RST2 which discharges information charges at an output part 5 of an image sensor 1 is set to be  $n$  times of the cycle of a horizontal transfer clock  $\phi_{H1}$  which transfers and drives a horizontal transfer part 4, and the information charges equal to two picture elements are accumulated at output part 5 so as to take out a voltage value. Then the reset timing of timing reset pulse RST2 is set by shifting it by the amount equal to one cycle of the horizontal transfer clock  $\phi_{H1}$  for each horizontal scanning period and the combination of picture elements which synthesize information charge is shifted by one picture element for each horizontal line at the output part 5. As a result, interlace scanning is also performed in a pseudo manner in the horizontal direction, and so, deterioration of horizontal resolution is prevented.



## LEGAL STATUS

[Date of request for examination]

07.12.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

2642810

**[Date of registration]**

02.05.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 互いに平行に配列される複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、この水平転送部の出力を出力部に受け、この出力部に蓄積される電荷量に応じた電圧値を出力する固体撮像素子と、上記垂直転送部内の情報電荷を1水平ライン毎に上記水平転送部に転送し、さらに上記水平転送部から上記出力部に転送した後に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動手段と、上記出力部から出力される電圧値を上記駆動手段の排出動作に同期して取り出す検出手段と、を備え、上記駆動手段は、上記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定すると共に、上記出力部の排出動作のタイミングを水平走査期間毎に上記水平転送部の転送動作の1周期の期間ずらして設定することを特徴とする固体撮像装置。

【請求項2】 上記出力部の排出動作のタイミングを、奇数番目の垂直走査期間には水平走査期間毎に遅らせ、偶数番目の垂直走査期間には水平走査期間毎に進めて設定することを特徴とする請求項1記載の固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、CCDイメージセンサを備えた固体撮像装置に関し、特に受光感度の向上に関する。

## 【0002】

【従来の技術】CCDイメージセンサを用いるテレビカメラ等の撮像装置においては、所定の方式に従うテレビジョン同期信号に基づいてイメージセンサの各走査タイミングが設定され、テレビジョン同期信号の方式に対応した映像信号が作成される。例えば、NTSC方式の場合、垂直走査期間が1/60秒に設定され、さらに水平走査期間が垂直走査期間の2/525に設定されて映像情報が1水平走査期間単位で連続する映像信号が出力される。

【0003】図6は、CCDイメージセンサを用いる撮像装置の基本的な構成を示すブロック図である。フレーム転送型のCCDイメージセンサ1は、被写体からの映像を受けて情報電荷を発生する撮像部2、情報電荷を一旦蓄積する蓄積部3及び情報電荷を水平方向に転送して出力する水平転送部4からなり、撮像部2で発生した情報電荷が各垂直走査期間に蓄積部3に転送され、この蓄積部3から水平走査期間毎に水平転送部4を介して出力される。水平転送部4の出力側には、情報電荷量を電圧値に変換する出力部5が設けられ、水平転送部4から出力される情報電荷が1ビット単位で蓄積される。この、イメージセンサ1には、垂直転送クロック発生回路6及び水平転送クロック発生回路7が接続され、イメージセンサ1の蓄積部3及び水平転送部4にそれぞれ4相の垂直転送クロック $\phi_v$ 及び2相の水平転送クロック $\phi_h$ が供

給される。これら転送クロック発生回路6、7には、垂直走査期間及び水平走査期間を設定するタイミング制御回路8が接続され、イメージセンサ1の走査タイミングが所定のテレビジョン方式に対応付けられる。また、イメージセンサ1の出力部5には、水平転送クロック発生回路7に同期して動作するリセットパルス発生回路9が接続され、水平転送クロック $\phi_h$ に同期したリセットパルスRSTが印加される。この出力部5には、フローティングディフュージョンと称される他の領域から電気的に独立する拡散領域が設けられ、この拡散領域に蓄積される情報電荷がリセットパルスRSTに従って電荷排出用のドレインに排出されるように構成される。即ち、出力部5は、水平転送部4から出力部5に転送された情報電荷を出力部5内の拡散領域に蓄積し、拡散領域の電位の変動から電圧値を得ているため、水平転送部4の情報電荷が出力部5に転送される度にその情報電荷を排出するようにリセットパルスRSTが設定される。従って、出力部5からリセットパルスRSTに応じたタイミングで電位の変動する出力が得られ、この出力がサンプルホールド回路10に取り込まれる。サンプルホールド回路10にサンプリングパルスSPLを供給するサンプリングパルス発生回路11は、リセットパルス発生回路9と同様に、水平転送クロック発生回路7に同期し、リセットパルスRSTのリセットタイミングより僅かに早いタイミングにサンプリングタイミングを設定する。これにより、出力部5の出力電圧のうち水平転送部4から出力される情報電荷量に対応した電圧値のみが取り出され、映像信号として次段の回路に出力される。

【0004】以上のような撮像装置においては、一画面分の情報電荷を撮像部2に蓄積する期間が、例えば1/60秒として設定されるが、撮像部2の情報電荷を特定のタイミングで排出することにより蓄積期間を1/60秒以下に設定することも可能である。従って、明るい被写体に対しては、情報電荷の蓄積期間を短く設定してイメージセンサ1の撮像部2の飽和を防止している。逆に、暗い被写体に対しては、情報電荷の蓄積期間を複数の垂直走査期間に亘って設定することで、蓄積期間を1/60秒以上とし、露光不足分を補うように構成される。この場合、撮像部2から蓄積部3への情報電荷の転送が1垂直走査期間おきに行われるため、イメージセンサ1の出力は、1垂直走査期間おきに得られることになる。従って、イメージセンサ1の出力に対しては、垂直走査期間単位で信号の補間を行う処理が施される。このような露光制御機能を備えた撮像装置は、例えば本出願人により特願昭63-66330号に提案されている。

## 【0005】

【発明が解決しようとする課題】しかしながら、イメージセンサ1の出力に対して補間を行う場合には、一画面分の信号を記憶するフィールドメモリが必要となり、回路規模が大きくなるという問題を有している。そこで、

撮像部2の2画素分の情報電荷を合成することにより、情報電荷量を増大させてイメージセンサ1の見かけ上の感度を向上することが考えられている。2画素分の情報電荷を合成する際には、情報電荷の転送過程で合成する方法や、出力部5での電圧値への変換時に合成する方法が用いられる。情報電荷を転送過程で合成する場合、例えば水平転送部4を1水平走査期間おきに動作させることにより垂直方向の2画素が合成されることになる。この場合には、イメージセンサ1の出力が1水平走査期間おきに得られるため、水平走査期間単位でイメージセンサ1の出力を補間する必要が生じる。一方、出力部5で情報電荷を合成する場合、出力部5の電荷の排出動作を水平転送部4の転送動作の2倍の周期に設定することにより2画素分の情報電荷を出力部5に蓄積して電圧値に変換するように構成される。

【0006】以上のように複数の画素の情報電荷を合成して映像信号を得る場合には、イメージセンサ1からの出力レベルの上昇により見かけ上の感度が向上されるが、複数の画素の混合による情報量の減少のため、解像度が低下する。特に、水平方向の解像度については、従来のインタレース駆動によって解像度の低下を補うことが困難なため、再生画面の画質向上の障害となる。

【0007】そこで本発明は、解像度の低下を防止しながら感度の向上を図ることが可能な固体撮像装置の提供を目的とする。

【0008】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、互いに平行に配列される複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、この水平転送部の出力を出力部に受け、この出力部に蓄積される電荷量に応じた電圧値を出力する固体撮像素子と、上記垂直転送部内の情報電荷を1水平ライン毎に上記水平転送部に転送し、さらに上記水平転送部から上記出力部に転送した後に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動手段と、上記出力部から出力される電圧値を上記駆動手段の排出動作に同期して取り出す検出手段と、を備え、上記駆動手段は、上記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定すると共に、上記出力部の排出動作のタイミングを水平走査期間毎に上記水平転送部の転送動作の1周期の期間ずらして設定することにある。

【0009】

【作用】本発明によれば、上記出力部の排出動作のタイミングを水平走査期間毎に上記水平転送部の転送動作の1周期の期間ずらして設定することにより、出力部で合成される情報電荷の画素の組み合わせが各水平ラインで1画素分ずれ、素子から得られる映像信号が水平ライン毎に1画素ずれる。従って、その映像信号を再生すると

水平方向に疑似的にインタレース表示される。

【0010】

【実施例】図1は、本発明固体撮像装置の一実施例を示すブロック図である。この図において、イメージセンサ1及びその駆動回路（垂直転送クロック発生回路6及び水平転送クロック発生回路7）は、図6と同一であり、タイミング制御回路8により設定される走査タイミングに応じて垂直転送クロック $\phi_v$ 及び水平転送クロック $\phi_h$ をイメージセンサ1に供給して駆動するように構成される。

【0011】本発明の特徴とするところは、水平転送クロック $\phi_h$ の $n$ 倍（ $n$ は整数）の周期を有するリセットパルス $RST_2$ をイメージセンサ1の出力部5に印加することにより、水平転送部4から出力される情報電荷を $n$ 画素毎に出力部5に蓄積して電圧値に変換することにある。図2は、リセットパルス $RST_2$ の周期を水平転送クロック $\phi_h$ の3倍に設定することにより、3画素分の情報電荷を出力部5で合成する場合の動作を示すタイミング図である。

【0012】水平転送クロック $\phi_h$ と同一周期を有するリセットパルス $RST_2$ は、リセットパルス発生回路9から出力され、分周回路12により1/3分周された後に、水平転送クロック $\phi_h$ の3倍の周期を有するリセットパルス $RST_2$ として出力部5に供給される。このため、出力部5の排出動作が、水平転送部4の転送動作の3倍の周期となり、出力部5には水平方向の3画素分の情報電荷が蓄積される。

【0013】ところで、分周回路12でのリセットパルス $RST_2$ の分周動作は、フィールド毎（垂直走査周期毎）に反転するフィールド判別信号に応答して、奇数フィールドODDにおいては水平走査期間毎に水平転送クロック $\phi_h$ の1周期分遅れるタイミングで行われ、偶数フィールドEVENにおいては水平走査期間毎に水平転送クロック $\phi_h$ の1周期分進むタイミングで行われる。従って、出力部に供給されるリセットパルス $RST_2$ は、図2に示すように、第 $3n$ 番目の水平走査期間と第 $(3n+1)$ 番目の水平走査期間と第 $(3n+2)$ 番目の水平走査期間とでそれぞれ異なる位相を有する。例えば、奇数フィールドODDの場合、第 $3n$ 番目の水平走査期間では水平走査信号HDの立ち上がりで分周回路12をリセットし、第 $(3n+1)$ 番目の水平転送クロック $\phi_h$ では水平走査信号HDの立ち上がりから水平転送クロック $\phi_h$ の1周期分遅れて分周回路12をリセットし、そして第 $(3n+2)$ 番目の水平走査期間では水平走査信号HDの立ち上がりから水平転送クロック $\phi_h$ の2周期分遅れて分周回路12をリセットするように構成する。このようなリセットパルス $RST_2$ によれば、出力部5の情報電荷の排出動作が水平転送部4の転送動作に対して水平走査期間毎に水平転送クロック $\phi_h$ の1周期だけずれるため、出力部5において合成される

画素の組み合わせが水平ライン毎に1画素ずれることになる。

【0014】この出力部5からの出力は、サンプルホールド回路10に取り込まれることになるが、このサンプリング動作のタイミングについては、出力部5の排出動作に対応するように設定される。そのため、サンプリングパルス発生回路11から出力されるサンプリングパルス $SLP_1$ は、分周回路13により1/3に分周され、水平転送クロック $\phi_H$ の3倍の周期を有するサンプリングクロック $SLP_2$ としてサンプルホールド回路10に供給される。また、サンプリングのタイミングについては、図6の場合と同様に、出力部5の情報電荷の排出タイミングより僅かに早くする必要があるため、サンプリングクロック $SLP_1$ は、リセットパルス $RST_1$ に対して僅かに進んだ位相に設定される。

【0015】そして、インタレース走査との組み合わせにより、図3に示すように、奇数フィールドでは、奇数ラインの画素Oが破線で囲む3画素毎に同一のデータで表され、偶数フィールドでは、偶数ラインの画素Eが破線で囲む3画素毎に同一のデータで表される。従って、垂直方向にインタレース走査されると同時に水平方向にも疑似的にインタレース走査されるため、3画素の情報電荷を水平方向に合成しているにも拘わらず水平方向の解像度の低下が抑圧される。

【0016】図4は、2画素の情報電荷が合成される場合の情報電荷の合成状態を示す図であり、図5は、その場合の動作タイミングである。この場合、分周回路12におけるリセットパルス $RST_1$ の分周動作が、水平走査期間毎に水平転送クロック $\phi_H$ の1周期だけずれて設定される。即ち、奇数番目の水平走査期間には、水平走査信号HDの立ち上がりで分周回路12をリセットし、偶数番目の水平走査期間には、水平走査信号HDの立ち上がりから水平転送クロック $\phi_H$ の1周期分遅れて分周回路12をリセットすることにより、リセットパルス $RST_2$ のリセットタイミングが、図5に示すように、水平走査期間毎で互いにリセットパルス $RST_1$ の1周期分ずれて設定される。このとき、サンプリングパルス $SLP_2$ についても、リセットパルス $RST_2$ と同様に水平走査期間毎にサンプリングタイミングが水平転送クロック $\phi_H$ の1周期分ずれるように分周回路13の分周動作が設定される。このように2画素の情報電荷を合成する場合には、リセットパルス $RST_2$ を水平転送クロック

$\phi_H$ の1周期遅らせた場合と、逆に進めた場合とでソレゾレのリセットパルス $RST_2$ が一致することから、奇数フィールドODDと偶数フィールドEVENとのリセットパルス $RST_2$ は同一となる。

【0017】以上の実施例においては、3または2画素の情報電荷を合成する場合を例示したが、4画素以上の情報電荷を合成することも可能である。その場合、かなり粗い再生画面となるが、画素ピッチが微細化された高解像度の撮像素子によれば、再生画面の粗さは目立ちにくくなる。

【0018】

【発明の効果】本発明によれば、撮像装置の感度を高くすると同時に、感度向上に伴う解像度の低下を抑圧することで、高感度で且つ解像度の高い撮像装置を実現することができる。また、撮像素子自体は、従来のものと同じ構造のものが採用できるため、駆動回路の走査タイミングの変更により容易に感度の向上が可能なため、コストの上昇を防止することができる。

【図面の簡単な説明】

【図1】本発明固体撮像装置の一実施例を示すブロック図である。

【図2】本発明固体撮像装置の第1の動作を示すタイミング図である。

【図3】第1の画素の合成状態を示す模式図である。

【図4】第2の画素の合成状態を示す模式図である。

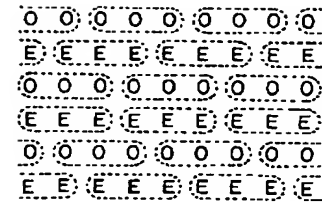
【図5】本発明固体撮像装置の第2の動作を示すタイミング図である。

【図6】従来の固体撮像装置を示すブロック図である。

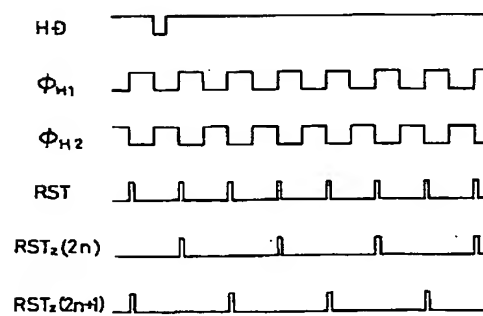
【符号の説明】

- 1 イメージセンサ
- 2 撮像部
- 3 蓄積部
- 4 水平転送部
- 5 出力部
- 6 垂直転送クロック発生回路
- 7 水平転送クロック発生回路
- 8 タイミング制御回路
- 9 リセットパルス発生回路
- 10 サンプルホールド回路
- 11 サンプリングパルス発生回路
- 12、13 分周回路

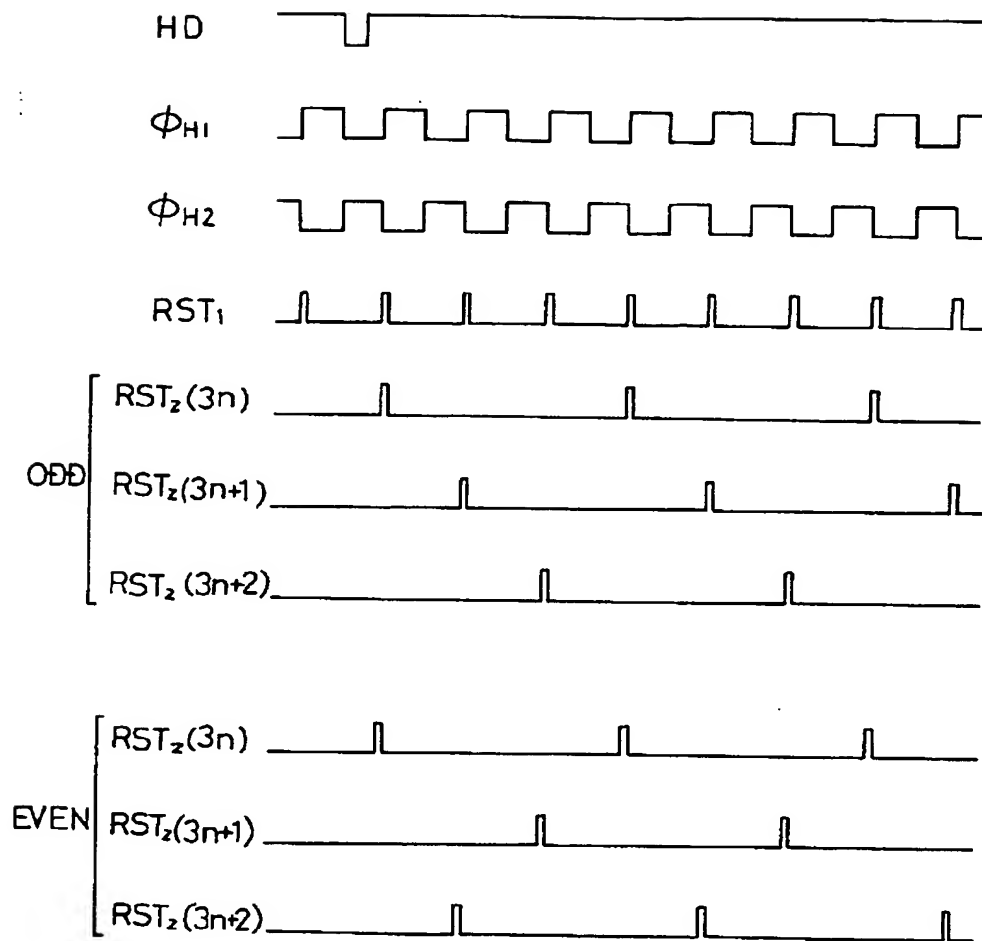
【図3】



【図5】



【図2】



【図6】

